

## DEVICE BUILT-IN MULTILAYERED PRINTED CIRCUIT BOARD AND ITS MANUFACTURE

Patent Number: JP11045955

Publication date: 1999-02-16

Inventor(s): HAYASHI KATSURA

Applicant(s): KYOCERA CORP.

Requested Patent:  JP11045955

Application Number: JP19970201653 19970728

Priority Number(s):

IPC Classification: H01L23/12 ; H05K3/46

EC Classification:

Equivalents:

### Abstract

**PROBLEM TO BE SOLVED:** To provide a multilayered printed circuit board and its manufacturing method capable of downsizing the board and increasing a device packing density.

**SOLUTION:** The board comprises an insulation substrate laminated by a plurality of insulation layers 1, 7, and 8 including at least thermosetting resin, wiring circuit layers 4, 9, and 10 formed on the surface and inside the insulation substrate, and via-hole conductors 2, 11, and 12 for electrically connecting the wiring circuit layers, 4, 9, and 10. A gap 3 is formed inside an insulation substrate 13, an electrical device 5 such as a semiconductor device, a capacitor, a resistor or the like is mounted in the gap 3, and a plurality of gaps are formed in a laminated direction of the printed circuit board.

Data supplied from the esp@cenet database - 12

(10)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-45955

(13)公開日 平成11年(1999)3月16日

(51)国名  
H01L 23/12  
H05K 3/48

構成記号

P1  
H01L 23/12  
H05K 3/48

N  
Q  
N  
G

請求項文 有 新規性の範囲 CL (全 6 項)

(21)出願番号

特願平9-201653

(22)出願日

平成9年(1997)7月25日

(71)出願人

東芝株式会社  
〒530-0013 愛知県名古屋市伏見区竹田島町5番地

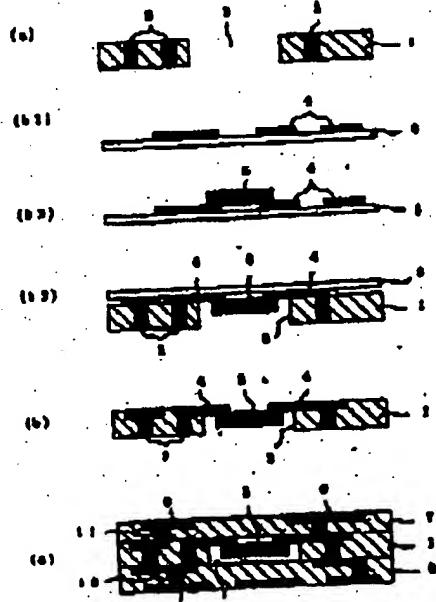
(72)実検査官

井 桂  
〒530-0013 愛知県名古屋市中区門前町1番4号 東芝株式会社  
特許検査部

(34)【実物の名前】 素子内蔵多層配線基板およびその製造方法

(57)【要約】

【課題】 基板の小型化と、素子の実装密度を高めることのできる多層配線基板とその製造方法を提供する。  
【解決手段】 少なくとも熱硬化性樹脂を含む複数の絶縁層1、7、8を複層してなる絶縁基板13と、絶縁基板13の表面および内部に形成された配線回路層4、9、13の表面および内部に形成された配線回路層4、9、10と、配線回路層4、9、10間に電気的に接続するためのピアホール導体2、11、12を具備する多層配線基板において、絶縁基板13内部に、空隙部3を形成するとともに、空隙部3内に半導体素子またはコンデンサ、抵抗素子等の電子部品などの電気素子3を実装的してなることを特徴とし、さらには、空隙部3を、配線基板の複数方向に複数設けたことを特徴とする。



## 【特許請求の範囲】

【請求項1】少なくとも熱硬化性樹脂を含む複数の絶縁層を複層してなる絶縁基板と、前述絶縁板の表面および内側に形成された配線回路層と、前記配線回路層を電気的に接続するためのピアホール導体を見出す多層配線基板において、前述絶縁板内部に、空隙部を形成するとともに、該空隙部内に電気素子を実装収納してなることを特徴とする素子内蔵多層配線基板。

【請求項2】前記空隙部にて、前記電気素子を金属粉からなる配線回路層に半田接続してなることを特徴とする請求項1記載の素子内蔵多層配線基板。

【請求項3】前記電気素子が、半導体素子または電子部品であることを特徴とする請求項1記載の素子内蔵多層配線基板。

【請求項4】前記ピアホール導体を金属粉末の充填によって形成したことを特徴とする請求項1記載の素子内蔵多層配線基板。

【請求項5】前記空隙部を、配線基板の複層方向に複数設けたことを特徴とする素子内蔵多層配線基板。

【請求項6】電子シートの表面に形成された配線回路層に電気素子を接続する実装工程と、少なくとも熱硬化性樹脂からなる第1の絶縁層にキャビティを形成するキャビティ形成工程と、前記第1の絶縁層の前記キャビティ内に前記電気素子が収納されるように、前記電子シートから前記配線回路層とむか電気素子を前記第1の絶縁層に転写する転写工程と、電子工程後の前記第1の絶縁層の上下間に、少なくとも熱硬化性樹脂を含み、少なくとも配線回路層が形成された第2および第3の絶縁層を積重圧着する積層工程、とを具備することを特徴とする素子内蔵多層配線基板の製造方法。

## 【発明の実施を説明】

## 【0001】

【発明の属する技術分野】本発明は、例えは、多層配線基板及び半導体素子取納用パッケージなどに適し、特に絶縁基板内部に電気素子が内蔵されてなる多層配線基板とその製造方法に関するものである。

## 【0002】

【従来技術】従来より、電子機器は小型化が進んでおり、近形機器情報機の発達や、コンピューターを持ち運んで操作する、いわゆるモバイルコンピューティングの普及によってさらに小型、薄型且つ高精細の多層配線基板が求められる傾向にある。

【0003】従来のアーリント配線基板では、プリプレグと呼ばれる有機樹脂を含む平板の表面に網格を構造した後、これをエッチングして微細な回路を形成し、これを複層した後、所定位置にマイクロドリルでスルーホールの穴開けを行い、そのホール内壁にマッキ法により金属を付着させてスルーホール導体を形成して各回路の電気的な接続を行っている。

【0004】ところが、この方法では、スルーホール導

体は配線基板全体にわたり貫通したものであるために、複層数が増加するに伴い、スルーホール数が増加するに、配線に必要なスペースが確保できなくなるという問題が生じ、電子機器の薄型、小型化に伴うアーリント配線基板の薄型化、小型化、軽量化に対しては、対応できないのが現状である。

【0005】そこで、最近では、絶縁層に対して形成したピアホール内に金属粉末を充填してピアホール導体を形成した後、他の絶縁層を複層して多層化した配線基板が提案されている。

【0006】また、従来のアーリント配線基板に対して、半導体素子やコンデンサ素子、抵抗素子などを接続する場合には、配線基板の表面に形成された配線回路層に対してこれらの電気素子を半田等により接続し、実装した素子を樹脂によってモールドする方法、配線基板の表面に凹部を形成して、その凹部内に素子を収納して樹脂モールドしたり、樹脂によって凹部を裏面に封止する方法がある。

## 【0007】

【発明が解決しようとする課題】しかしながら、ピアホール導体を金属粉末の充填によって形成する方法は、ピアホール導体の小型化が可能であるとともに、任意の位置に配置できる点で配線基板の小型化に対しては有効であるが、配線基板をより多層化したとしても、その配線基板に接続する素子は、配線基板の表面にしか実装することができないために、配線基板の小型化には自ずと限界があった。

【0008】従って、本発明は、半導体素子や電子部品（コンデンサ素子、抵抗素子、フィルター素子、光電子素子など）の電気素子を接続する多層配線基板において、基板の小型化と、素子の実装密度を高めることのできる多層配線基板を提供することを目的とするものである。さらに、本発明は、基板の内部に素子を内蔵することのできる多層配線基板を容易に作製することのできる多層配線基板の製造方法を提供することを目的とするものである。

## 【0009】

【課題を解決するための手段】本発明者は、電気素子を接続した配線基板の小型化について検討を重ねた結果、配線基板内に、電気素子を実装収納するための空隙部を形成することにより、配線基板のより多くの電気素子を接続した小規模配線基板を提供できること、さらには、配線基板を作製するにあたり、金属粉からなる配線回路層を電子シートからの転写によって形成するに、電子シート上のする網格にのみ電気素子を半田などで接続した後、空隙部を形成した絶縁層に転写することで、絶縁層に沿う影響を及ぼすことなく、素子を内蔵した配線基板を作製できることを見いだし、本発明に至った。

【0010】即ち、本発明の多層配線基板は、電気素子を内蔵したものであり、少なくとも熱硬化性樹脂を含む

3

複数の絶縁層を複数してなる絶縁部と、該絶縁部の表面および内部に形成された配線回路層と、前記配線回路層を電気的に接続するためのピアホール構体を具備する多層配線基板において、前記絶縁部内部に、空隙部を形成するとともに、該空隙部内に電気素子を実験取納してなることを特徴とするものである。

【0011】また、前記空隙部内にて、前記電気素子を金属層からなる配線回路層に平田火成してなること、前記電気素子が、半導体素子または電子部品であること、前記配線回路層を金属層により形成し、前記ピアホール構体を金属溶射の完成によって形成したこと、さらには、前記空隙部を、配線回路の積層方向に複数取付けたことを特徴とするものである。

【0012】また、かかる配線基板の製造方法としては、絶縁シートの表面に形成された配線回路層に電気素子を実験する実験工程と、少なくとも熟硬化性樹脂からなる第1の絶縁層にキャビティを形成するキャビティ形成工程と、前記第1の絶縁層の前記キャビティ内に前記電気素子が収納されるように、前記絶縁シートから前記配線回路層と前記電気素子を前記第1の絶縁層の上下面に取付工程と、取付工程後の前記第1の絶縁層の上下面に、少なくとも熟硬化性樹脂を含む第2および第3の絶縁層を複層圧着する複層工程、とを具備することを特徴とするものである。

【0013】

【発明の実施の形態】以下、本発明を図面をもとに説明する。図1は、本発明の電子内蔵多層配線基板を製造するための第1の複層工程を説明するための図である。

【0014】図1によれば、まず、図1(a)に示すように、熟硬化性樹脂を含む樹脂(Bステージ状態)の第1の絶縁シート1を作成する。また、この絶縁シート1には、所望により複数方向に貫通するスルーホールを形成し、そのスルーホール内に金属粉末を含む導体ベーストをスクリーン印刷や噴射処理しながら充填して、ピアホール構体2を形成する。また、この絶縁シート1の所定箇所に電気素子を収納するための空隙部3を形成する。

【0015】次に、図1(b)に示すように、絶縁シート1の表面に配線回路層4を形成するとともに、絶縁シート1の空隙部3に電気素子5を実験取納する。配線回路層4は、1)絶縁シート1の表面に金属層を貼り付けた後、エッチング処理して回路パターンを形成する方法、2)絶縁シート1表面にレジストを形成して、マスクにより形成する方法、3)電子フィルム表面に金属層を貼り付け、金属層をエッチング処理して回路パターンを形成した後、この金属層からなる回路パターンを絶縁シート1表面に転写させる方法等が挙げられる。

【0016】本第1の複層工程においては、配線回路層4と、配線回路層4に電気素子5を実験した構造物を反対側の電子内蔵多層配線基板を形成するための絶縁シート1に貼り付ける。

な方法を図1(b1)～(b3)に示す。この方法によれば、例えば、樹脂や金属からなる電子フィルム6の表面に金属層を接着した後、エッチングして配線回路層4を形成する(図1(b1))。その後、その配線回路層4に、電子素子5を半田、TAB、ワイヤーボンディングにより実験する(図1(b2))。

【0017】その後、電子素子5が実験された電子フィルム6を絶縁シート1に対して、電子素子5が絶縁シート1の空隙部3に収納されるように積層して圧着した後、電子フィルム6を剥がして(図1(b3))、配線回路層4と電子素子5とを絶縁シート1に収納させて、図1(d)に示すような電子素子5が空隙部3に実験取納された單層の配線層を形成することができる。この時、絶縁シート1は、未硬化または半硬化状態であり軟質であることから、配線回路層4を圧着することにより、絶縁シート1の表面に墨が込むことができるとともに、絶縁シート1に形成されたピアホール構体2を確実化することができる。

【0018】また、上記の例では、基本的には、電子素子5を実験する配線回路層4は、電子素子5とともに、同時に実験させるものであるが、電子素子5の実験に與与しない配線回路層(表示せず)は、電子素子5と配線回路層4とともに同時に取付するか、または同時に圧着した1)～3)のいずれの方法で実験してもよい。

【0019】また、空隙部3内に収納された電子素子5は、配線回路層4に実験された状態でエポキシ樹脂等により封止してもよい。

【0020】次に、上記のように空隙部3内に電子素子5が実験取納された絶縁シート1の上下面に、軟化状態(Bステージ状態)の第2および第3の絶縁シート7、8を複層圧着して、絶縁シート1、7、8中の熟硬化性樹脂が硬化するに十分な温度に加熱して一括して完全硬化させる。なお、絶縁シート7、8には、配線回路層9、10やピアホール構体11、12を形成した場合はより適宜形成してもよい。このようにして、図1(c)に示すように、絶縁シート1内に電子素子5を内蔵する多層配線基板を形成することができる。

【0021】次に、本発明の第2の複層方法によれば、図2(a)に示すように、熟硬化性樹脂を含有する絶縁シート20に、直立ピアホールを形成してそのホール内に金属粉末を含む導体ベーストを充填してピアホール構体21を形成し、さらにその表面又は裏面に配線回路層22を形成する。配線回路層22の形成は、前述した1)～3)のいずれの方法でもよい。

【0022】次に、図2(b)に示すように、配線回路層22の裏面に、電子素子23を半田、フリップチップ、ワイヤーボンディングなど的方法で実験する。

【0023】その後、図2(d)に示すように、電子素子23が実験された絶縁シート20の裏面に、空隙部24が形成された絶縁シート25を電子素子23が空隙部

24に取納されるように位置合わせて積層する。なお、絶縁シート29には、所量により記憶回路層26、ピアホール導体27を形成してもよい。

【0024】そして、図2(d)に示すように、空隙部24が形成された絶縁シート25を複層したその上に、空隙部24を密封するように、絶縁シート28を積層する。

【0025】また、この絶縁シート28には、所量により記憶回路層29、ピアホール導体30を形成してもよい。

【0026】そして、最終的にこれらの複層物を絶縁シート20、25、28中の熱硬化性樹脂が硬化するに十分な温度に加热して一括して完全硬化させることにより、絶縁基板内に空気空隙23を内蔵する多層記憶基板を形成することができる。

【0027】また、本発明によれば、上記第1および第2の電気素子の空隙部中の実装技術を基礎として、あらゆる形態の多層配線基板を作成することができる。例えば、図3に示すように、多層配線基板の絶縁基板32内において、1C素子33やコンデンサ34等のなどの電気素子を配置する空隙部35、36を同一箇所内、または異なる層内に空隙部37を複数箇所形成して、これら複数の電気素子を実装可能させることができる。また、絶縁基板32の表面にも、他の電気素子38、39を実装実装することができる。その結果、実装のみならず、絶縁基板内部にも電気素子を高密度に実装した多層配線基板を作成することができる。

【0028】上記の第1および第2の実装方法において、用いられる熱硬化性樹脂を含有する絶縁シートは、熱硬化性有機樹脂、または熱硬化性有機樹脂とフィラーなどの組成物を混練糊やラボロールなどの手段によって十分に混合し、これを圧延法、押出し法、射出法、ドクターブレード法などによってシート状に形成する。そして、所量により熱処理して熱硬化性樹脂を硬化させ、半硬化には、樹脂が完全硬化するに十分な温度よりもやや低い温度に加热する。

【0029】そして、この状態の絶縁層に対するスルーホール(ピアホール)および空隙部の形成は、ドリル、パンチング、サンドblast、あるいは炭酸ガスレーザ、YAGレーザ、及びエキシマーレーザ等の照射による加工など分類の方法が採用される。

【0030】なお、絶縁シートを形成する熱硬化性樹脂としては、絶縁材料としての電気的特性、耐熱性、および機械的強度を有する熱硬化性樹脂であれば特に限定されるものではなく、例えば、アラミド樹脂、フェノール樹脂、エポキシ樹脂、イミド樹脂、フッ素樹脂、フェニレンエーテル樹脂、ビスマイレイトリアシン樹脂、ユリア樹脂、メラミン樹脂、シリコーン樹脂、ウレタン樹脂、不飽和ポリエスチル樹脂、アリル樹脂等が、単独または組み合わせて使用できる。

【0031】また、上記の絶縁シート1中には、絶縁基板あるいは記憶基板全体の強度を高めるために、有機樹脂に対してフィラーを複合化させることもできる。有機樹脂と複合化されるフィラーとしては、SiO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>、ZrO<sub>2</sub>、TiO<sub>2</sub>、AlN、SiC、BaTiO<sub>3</sub>、SrTiO<sub>3</sub>、ゼオライト、CaTiO<sub>3</sub>、はう前アルミニウム等の無機質フィラーが好適に用いられる。また、ガラスやアラミド樹脂からなる不織布、綿布などに上記樹脂を含浸させて用いてもよい。なお、有機樹脂とフィラーとは、体積比で15:85~50:50の比率で複合化されるのが適当である。

【0032】これらの電気素子を取納するための空隙部を形成する絶縁シートは、上記の種々の材料の中でも空隙部をパンチング又はレーザーで容易に加工できる点から、エポキシ樹脂、イミド樹脂、フェニレンエーテル樹脂と、シリカまたはアラミド不織布との複合物であることが最も適当である。

【0033】一方、ピアホール導体2に充填される金属ペーストは、鋼粉末、錫粉末、錫鉛錫粉末、錫錫合金などの、平均粒径が0.5~5.0μmの金属粉末を含む。金属粉末の平均粒径が0.5μmよりも小さいと、金属粉末同士の接触抵抗が増加してスルーホール導体の抵抗が高くなる傾向にあり、5.0μmを超えるとスルーホール導体の抵抗が著しくなる傾向にある。

【0034】また、導体ペーストは、前述したような金属粉末に対して、前述したような結合用有機樹脂や溶剤を適切に混合して調製される。ペースト中に添加される導体としては、用いる結合用有機樹脂が導通可能な導体であればよく、例えば、イソプロピルアルコール、テルピネオール、2-オクタノール、ブチルカルビトールアセテート等が用いられる。

【0035】上記の導体ペースト中の結合用有機樹脂としては、前述した種々の絶縁シートを構成する有機樹脂の他、セルロースなども使用される。この有機樹脂は、前述金属粉末同士を互に接触させた状態で結合するとともに、金属粉末を絶縁シートに接着させる作用をなしている。この有機樹脂は、金属ペースト中において、0.1乃至4.0体積%、特に0.3乃至3.0体積%の割合で含有されることが望ましい。これは、微粒度が0.1体積%よりも少ないと、金属粉末同士を完全に結合することが難しく、低抵抗金属を絶縁層に導体に接着させることが困難となり、逆に4.0体積%を越えると、金属粉末間に隙間が介在することになり粉末同士を十分に接觸させることができなくなり、スルーホール導体の抵抗が大きくなるためである。

【0036】記憶回路層としては、銀、アルミニウム、金、錫の鋼から選ばれる少なくとも1種、または2種以上の合金からなることが望ましく、特に、鋼、または錫を含む合金が最も望ましい。また、場合によっては、導体組成物として四界の抵抗調整のためにNi-Cr合金

7  
などの高張力の金属を用い、または合金化してもよい。さらには、配線層の低張力化のために、前記低張力よりも低張力の金属、例えば、半田、錫などの低張力金属を導体組成物中の金属成分中に2~20重量%の割合で含んでもよい。

【0037】配線回路層4と絶縁シート1との接着強度を高める上では、絶縁シート1の配線回路層4の形成層所および/または転写フィルム表面の配線回路層4表面の表面を0.1μm以上、特に0.3μm~3μm、最適には0.3~1.5μmに粗面加工することが望ましい。また、ピアホール導体の表面を金属層からなる配線回路層によって封止する上では、配線回路層4の厚みは、5~40μmが適当である。

【0038】このようにして、本発明によれば、従来の接着方法を用いて、複数の絶縁層が複数されてなる複数基板内部に電気素子を実装取付することができ、これにより多層配線基板の電気素子を高密度に実装することができ、多層配線基板の小型化を図ることができる。

【0039】

【実施例】

実施例1

(1) アラミド繊維の不織布に対してイミド樹脂を50重量%の割合で充填した厚さ100μmのアブレグに、炭酸ガスレーザーで直径0.1mmのピアホールを形成し、そのホール外に銀をメッキした銀塗料を含む糊ベーストを充填してピアホール導体を形成した。また、このアブレグにレーザーを用いて半導体素子や電子部品を設置するための1.2mm×1.2mmの大きさの空隙部を形成した。

【0040】(2) 一方、イミド樹脂50重量%、シリカ粉末50重量%の割合となるように、ワニス状態の樹脂と粉末を混合しドクトープレード法により、厚さ7.5mmの絶縁シートを作製し、その絶縁シートにパンチングで直径0.1mmのピアホールを形成し、そのホール外に銀をメッキした銀塗料を含む糊ベーストを充填してピアホール導体を形成した。

【0041】(3) また、一方、ポリエチレンテレフタレート(PET)樹脂からなる軽量シートの表面に接着剤を塗布し、厚さ1.2mm、表面粗さ0.8μmの繊維を一面に接着した。そして、フォトレジスト(ドライフィルム)を塗布し露光露漬を行った後、これを塗化第二鉄溶液中に浸漬して非パターン部をエッチング除去して配線回路層を形成し、この配線回路層を絶縁シートAに位置合わせて転写し、100kg/cm<sup>2</sup>の圧力で圧着してフィルムを剥がし、配線回路層を転写させた。

【0042】(4) そして、(1)で作製したアブレグに対して、(2)で電気素子を実装した軽量シートを、アブレグの空隙部に電気素子が取付されるように

8  
位置決めして50kg/cm<sup>2</sup>の圧力を加えて圧着した後、転写フィルムを剥離して、配線回路層とIC素子をアブレグに転写した。

【0043】(5) (2)で作製した絶縁シートの表面に、(3)と同様にして金属層からなる配線回路層を形成したPBT樹脂フィルムから、配線回路層を転写させた。

【0044】(6) 空隙部にIC素子が取付されたアブレグを中心にして、その上下面に(5)のようにして配線回路層が転写された絶縁シートを上下各2層づつ重ねし50kg/cm<sup>2</sup>の圧力で圧着し、200°Cで1時間加熱して完全硬化させて多層配線基板を作製した。

【0045】得られた多層配線基板に対して、断面における配線回路層やピアホール導体の形成位置を観察した結果、IC素子と配線回路層、ピアホール導体と配線回路層とは良好な接続状態であり、各配線層の導通テストを行った結果、配線の断路も認められなかった。また、IC素子の動作においても何ら問題はなかった。得られた多層配線基板を温度85%、温度85°Cの高湿多湿部露漬に100時間放置したが、目視で判別できる程度の変化は生じていなかった。

【0046】実施例2

(1) アラミド不織布にエポキシ樹脂を充填させた厚さ60μmの半導化状態の絶縁シートAに、炭酸ガスレーザーで直径0.1mmのピアホールを形成し、そのホール内に銀をメッキした銀粉末を含む糊ベーストを充填してピアホール導体を形成した。そして、転写フィルムの表面に糊層を接着した後、フォトレジスト(ドライフィルム)を塗布し露光露漬を行った後、これを塗化第二鉄溶液中に浸漬して非パターン部をエッチング除去して配線回路層を形成し、この配線回路層を絶縁シートAに位置合わせて転写し、100kg/cm<sup>2</sup>の圧力で圧着してフィルムを剥がし、配線回路層を転写させた。

【0047】(2) 次に、この配線回路層の表面にセラミックコンデンサ素子を半田を用いて実装した。

【0048】(3) その後、コンデンサ素子を実装した絶縁シートAの表面に、(1)と同様にしてピアホール導体および配線回路層を形成するとともに、前記セラミックコンデンサ素子を取付するための立抜部をレーザー加工によって形成した絶縁シートBを30kg/cm<sup>2</sup>の圧力で転写圧着した。

【0049】(4) さらに、その絶縁シートBの表面に、(1)と同様にしてピアホール導体および配線回路層を形成した絶縁シートCを30kg/cm<sup>2</sup>の圧力で転写圧着した。

【0050】(5) そして、絶縁シートA、B、Cの複層物を35kg/cm<sup>2</sup>の圧力を印加しながら195°Cに加熱して完全硬化させて多層配線基板を作製した。

【0051】得られた基板に対して、得られた多層配線基板に対して、断面における配線回路層やピアホール導

体の形成附近を観察した結果、コンデンサ基子と配線凹面層、ピアホール導体と配線凹面層とは良好な接続性を有しており、各組成部の導通テストを行った結果、配線の断線も認められなかった。また、コンデンサ基子においても何ら問題なく、所定の容量を得ることができた。得られた多層配線基板を温度85%、湿度85%の高湿多湿雰囲気下に100時間放置したが、目視で判別できる程度の変化は生じていなかった。

## 【0052】

【発明の並び】以上詳述したとおり、本発明によれば、電気基子を絶縁基板の内部に形成した空隙部に充填改質することにより、乾電池フィルム上の網目から形成した配線凹面層に対して半導体素子や各種電子部品等の電気基子を実装した後、空隙部を形成した絶縁層の表面に乾電池を充填した後、空隙部を形成した絶縁層の表面に乾電池して、電気基子を空隙部に収納することにより、電気基子を絶縁基板内に内蔵させることができ、これにより多層配線基板に開口部を削除することにより高精度、高特

性、且つ多機能の配線基板を容易に形成できる。

## 【図面の簡単な説明】

【図1】本発明の電子内蔵多層配線基板の製造方法の一実施例を説明するための工程図である。

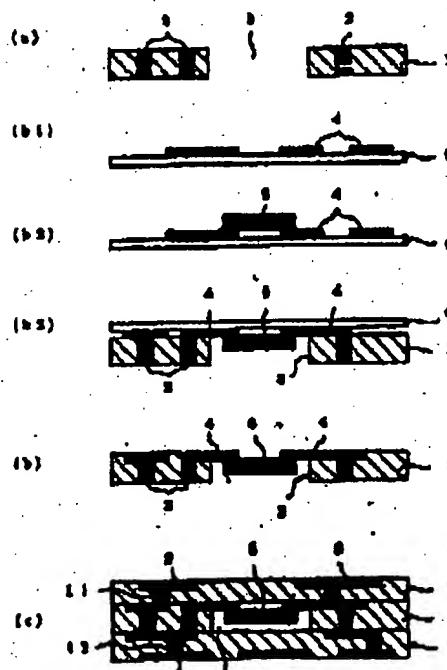
【図2】本発明の電子内蔵多層配線基板の製造方法の他の実施例を説明するための工程図である。

【図3】本発明の電子内蔵多層配線基板において、電気基子を内蔵した空隙部を被覆形成した多層配線基板を説明するための断面構造図である。

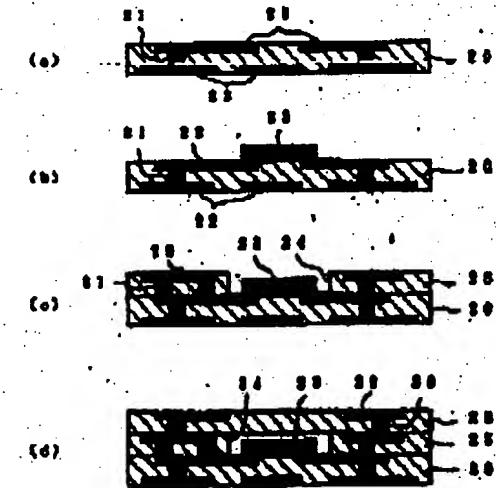
## 【符号の説明】

1. 7. 8. 20. 25. 28 絶縁シート
2. 11. 12. 21. 27. 30 ピアホール導体
3. 24. 35. 36. 37 空隙部
4. 9. 10. 22. 26. 29 配線凹面層
5. 23. 33. 34. 37. 38 電気基子
6. 乾電池
19. 31. 32 絶縁基板

【図1】



【図2】



【図3】

